

Docket No.: 60188-818

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Koichi TANIGUCHI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 23, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

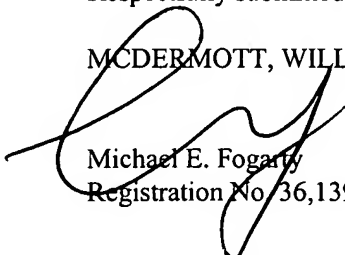
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-090630, filed March 28, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: March 23, 2004**

60188-818  
March 23, 2004  
TANIGUCHI, et al.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 3 月 2 8 日

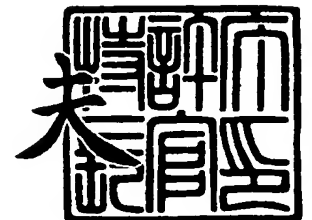
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 0 9 0 6 3 0  
[ST. 10/C]: [ J P 2 0 0 3 - 0 9 0 6 3 0 ]

出 願 人  
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 4 年 1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 3 1 9 6

【書類名】 特許願

【整理番号】 5037640202

【提出日】 平成15年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 谷口 公一

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 野尻 尚紀

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

    【識別番号】 100110939

    【弁理士】

    【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志



【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板に形成された出力トランジスタと、  
静電気放電に対して内部回路を保護する複数個の保護用トランジスタを有する  
保護回路と

を備えたセルが複数個並んで配置された半導体装置において、  
前記各セルは、自己の出力トランジスタの出力を外部出力し且つ自己の保護回  
路の複数個の保護用トランジスタに接続される電極パッドを有し、  
前記複数個のセルの電極パッドは、  
各々自己のセルの上方に位置し、且つ、全体として千鳥状に配置されると共に  
、  
自己のセルの保護回路が有する保護用トランジスタの接続配線の上方を覆って  
いる

ことを特徴とする半導体装置。

【請求項 2】 前記各セルの電極パッドは、各々、  
幅の異なる 3 つ以上の複数のパッド部が順番に接続されて、突出部と窪み部と  
を有する段差状に形成されている

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記各セルの電極パッドは、各々、  
幅の最も広い第 1 パッド部と、  
次に幅の広い第 2 パッド部と、  
幅の最も狭い第 3 パッド部とを有する

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 複数のパッド部のうち、幅の最も狭いパッド部は、  
自己の保護回路が有する全ての保護用トランジスタのうち、端部に位置する保  
護用トランジスタの少なくとも中央部の上方を覆っている

ことを特徴とする請求項 2 又は 3 記載の半導体装置。

【請求項 5】 複数のパッド部のうち、幅の最も広いパッド部は、

自己のセルの幅よりも広い幅を有して、隣接するセルの内方に所定距離延びている

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 6】 前記各セルは、自己の出力トランジスタの出力を外部出力する電極パッドに接続するために最上位層に配置された配線を有し、

前記配線は、自己のセルの端部から、前記所定距離を越える距離内方に入った位置に配置されている

ことを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 複数のセルのうち、1つのセルの電極パッドと、このセルに隣接する他のセルの電極パッドとは、相互に、上下を反転して配置される

ことを特徴とする請求項 1、2、3、4 又は 5 記載の半導体装置。

【請求項 8】 前記隣接する 2つのセルが有する 2つの電極パッドのうち、一方の電極パッドの突出部は、他方の電極パッドの窪み部に入り込んでいる

ことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 複数のセルのうち、1つのセルの電極パッドは、最も幅の狭いパッド部又は最も幅の広いパッド部が前記内部回路の内方に向かって延びている

ことを特徴とする請求項 2 又は 3 記載の半導体装置。

【請求項 10】 前記電極パッドは、前記内部回路に所定電圧を供給するための電源端子パッドである

ことを特徴とする請求項 8 記載の半導体装置。

【請求項 11】 前記複数のパッド部のうち、最も幅の広いパッド部には、前記出力トランジスタの出力を外部出力するための外部接続用ワイヤがボンディングされる

ことを特徴とする請求項 2 又は 3 記載の半導体装置。

【請求項 12】 前記複数のパッド部のうち、最も幅の広いパッド部以外の所定のパッド部には、

前記内部回路のテスト用として、検査用のプローブピンが当てられる

ことを特徴とする請求項 2 又は 3 記載の半導体装置。

【請求項 13】 基板に形成された出力トランジスタを備えたセルが複数個並んで配置された半導体装置において、

前記各セルは、自己の出力トランジスタの出力を外部出力する電極パッドに接続するために最上位層に配置された配線を有し、

前記配線は、自己のセルの幅方向の端部から設定距離内方に入った位置に配置されている

ことを特徴とする半導体装置。

【請求項 14】 前記各セルの上方に配置される電極パッドは、自己のセルの幅よりも広い幅のパッド部を有し、

前記配線の配置位置とこの配線が属する自己のセルの幅方向の端部との距離である前記設定距離は、前記パッド部が自己のセルの幅を超えて隣りに位置するセルの内方に延びる距離よりも長い距離に設定されている

ことを特徴とする請求項 13 記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置、特に、内部回路の出力を外部に伝達する出力トランジスタ、及び外部からの静電気放電(Electro-Static Discharge、ESD)から内部回路を保護する保護トランジスタを備えた入出力回路部分の改良に関する。

##### 【0002】

##### 【従来の技術】

一般に、半導体集積回路では、半導体チップの周辺に、外部と内部回路との間の入出力を行う入出力回路部が配置され、この入出力回路部は複数個の電極パッドを有する。以下、この入出力回路部の従来の構成を説明する。

##### 【0003】

図7は、従来の入出力回路部の回路図を示す。同図において、P101はP型MOSトランジスタであって、そのソースは電源配線VDDに接続される。N101はN型MOSトランジスタであって、そのソースは接地配線VSSに接続される。前記両MOSトランジスタP101、N101は、そのドレイン同士が接



続され、この接続点が電極パッド102に接続される。前記P型MOSトランジスタP101とN型MOSトランジスタN101との直列回路は出力トランジスタOTを構成し、この出力トランジスタOTは複数組（同図では2組）並列に接続される。前記各出力トランジスタOTは、同一構成のESD保護トランジスタを兼用する。

#### 【0004】

図8は、前記入出力回路部の具体的なレイアウト構成を示す。また、図9は、図8の切断線1-1での断面図を示す。尚、図8及び図9では、ゲート絶縁膜及び、配線層を絶縁する層間絶縁膜の図示は省略している。

#### 【0005】

前記図8及び図9において、2はP型の半導体基板、3及び4は、各々、半導体基板2上に形成されたP型ウエル及びN型ウエル、N1は前記P型ウエル3上で2つに分割して形成されたN型MOSトランジスタ、P1は前記N型ウエル4上で2つに分割して形成されたP型MOSトランジスタである。前記N型MOSトランジスタN1とP型MOSトランジスタP1とは、素子分離領域5によって相互に素子分離されている。また、6及び7は、各々、N型MOSトランジスタN1のドレイン及びソースを構成するN型拡散領域、8及び9は、各々、P型MOSトランジスタP1のドレイン及びソースを構成するP型拡散領域である。また、VSSは第2配線層に配置された接地配線、VDDは第2配線層に配置された電源配線である。

#### 【0006】

前記接地電位の電源配線VSSは、接続孔10、第1配線層に設けられた孤立配線領域11及び接続孔12を介してN型MOSトランジスタN1のソースであるN型拡散領域7に接続されている。同様に、所定電位の電源配線VDDは、接続孔13、第1配線層に設けられた孤立配線領域14及び接続孔15を介してP型MOSトランジスタP1のソースであるP型拡散領域9に接続されている。更に、17は第3配線層（最上位配線層）に設けられた電極パッドであって、チップの周辺部に位置し、図8及び図9ではN型MOSトランジスタN1のソースであるN型拡散領域7の右側方に配置されている。加えて、16は前記電極パッド

17の配置された配線層（最上位配線層）に配置された金属配線であって、その図8及び図9右端部で前記電極パッド17と接続されている。また、前記金属配線16は、接続孔18、第2配線層に設けた孤立配線領域20、接続孔22、及び第1配線層に設けた孤立配線領域24、及び接続孔26より成るスタックド・ビア構造を介して、P型MOSトランジスタP1のドレインであるP型拡散領域8と接続されると共に、接続孔19、第2配線層に設けた孤立配線領域21、接続孔23、及び第1配線層に設けた孤立配線領域25、及び接続孔27より成るスタックド・ビア構造を介して、N型MOSトランジスタN1のドレインであるP型拡散領域6と接続されている。

#### 【0007】

ところで、前記のような構成の入出力回路部において、電極パッドの構造として、特許文献1には、段差状とした電極パッドが記載されている。この電極パッドは、図10に示すように、比較的広いボンディング電極領域150と、比較的狭い検査用電極領域151とを備えた段差状の電極パッド152を有する。前記ボンディング電極領域150は、ボンディングが確実に言い得る程度の広さを有し、前記検査用電極領域151は、検査ツールのプローブピンが接触する小面積を有する。プローブピンを用いた検査時には、検査用電極領域151のみが使用され、プローブ痕は検査用電極領域151のみに残るので、ボンディング電極領域150へのボンディングを良好に行うようにしている。前記電極パッド152は複数個備えられ、これ等の複数個の電極パッド152は千鳥状に配置されている。尚、同図において、153は入出力回路部、154は前記各電極パッド152と入出力回路部153とを接続する配線である。

#### 【0008】

##### 【特許文献1】

特開2000-164620号公報

#### 【0009】

##### 【発明が解決しようとする課題】

近年、半導体集積回路が搭載される機器、例えば携帯機器では、その小型化が強く要求される。この関係上、半導体集積回路自体を小型化することが望まれる

。

## 【0010】

この小型化の要求に応じて、半導体集積回路の入出力回路部を小型化するように、ESD保護トランジスタを兼用する出力トランジスタ（以下、ESD保護トランジスタという）の上方に電極パッドを配置するPOE構造（Pad On Element構造）を採用することが考えられる。このPOE構造では、電極パッドや、これを入出力回路部に接続する配線領域が不必要となり、小面積化が期待できる。

## 【0011】

しかしながら、電極パッドとして前記のような段差状の構造のものを採用する場合には、次の欠点が生じる。

## 【0012】

すなわち、図10に示した段差状の電極パッド152は、ボンディング電極領域150の広さが良好なボンディングを目的とした最小限の広さに設定され、また、検査用電極領域151は、検査ツールのプローブピンが良好に接触できる小面積に設定される関係上、例えば、図11に示すように、隣接する2つのセルA、Aの電極パッド152を互いに上下反転した状態に配置する場合には、次の問題が生じる。同図は、隣接する2つの電極パッド152を上下反転して配置することにより、ボンディング電極領域150同士の離隔ルールを満たしつつ、検査用電極領域151同士をほぼ一直線上に配置して検査ツールのプローブピンの接触を容易にするようにしているが、この配置の下においては、各セルAでは、ESD保護トランジスタを持つ入出力回路部155の上方は、電極パッド152では覆われず、その一部の範囲のみが検査用電極領域151で覆われる形状となる。この場合、例えば図12（a）に示すように、各セルAでは、備える全てのESD保護トランジスタOTを電極パッド152に接続するように、全てのESD保護トランジスタOTの上方の最上位配線層に電極パッドへの接続配線160が形成されている。この接続配線160は、同図（a）のc-c線断面を示す同図（c）に示すように、接続孔19、23、27及び孤立配線領域21、25により、N型MOSトランジスタN1のドレインを構成するN型拡散領域6と接続されるとともに、接続孔18、22、26及び孤立配線領域20、24により、P

型MOSトランジスタP1のドレインを構成するP型拡散領域8と接続されている。このように電極パッドへの接続配線160が配置されている場合には、同図(b)に示すように、セルAの上方に電極パッド152が配置されると、前記電極パッドへの接続配線160の端部の上方には電極パッド152は位置しなくなる。従って、同図(b)のe-e線断面を示す同図(e)のように、各ESD保護トランジスタOTを構成するMOSトランジスタ(同図(e)ではP型MOSトランジスタP1)のうち、端部に位置する数個(同図(e)では1個)のP型MOSトランジスタP1の上方には、電極パッド152が位置せず、この電極パッド152の下方に位置しない端部のP型MOSトランジスタP1(特に符号P0と括弧書きで記す)と、電極パッド152の下方に位置する他のP型MOSトランジスタP1との間で、電極パッド152との接続インピーダンスが異なってしまう。その結果、電極パッド152に侵入した静電気放電の正又は負電圧は、理想的には、複数組のESD保護トランジスタOT間で均一に印加されて、各ESD保護トランジスタOTを介して電源配線VDD又は接地配線VSSを経て逃がされるところ、前記のようにESD保護トランジスタOT間のインピーダンスが相違するために、均一に印加されず、集中して、ESD保護トランジスタの破壊を招くことがあるという欠点がある。

#### 【0013】

尚、図12(a)では、各ESD保護トランジスタOTを構成するN型MOSトランジスタN101及びP型MOSトランジスタP101は、各々、2列配置されている。また、同図(d)は同図(a)のd-d線断面図を示す。

#### 【0014】

また、図13に示すように、セルAの幅を狭く設定してセルAのピッチを短くし、隣接するセルA同士を隙き間なく隣接させて、半導体チップの外周に多数のセルAを配置しようとする、隣接する2個の電極パッド152の一方の検査用電極領域151を他方の検査用電極領域151と隙き間なく隣接させる配置となるが、一方の検査用電極領域151の先端部が他方の電極パッド152の幅の広いボンディング電極領域150に邪魔されてしまう。その結果、一方の検査用電極領域151の先端を延ばそうと試みても、他方のボンディング電極領域150

を越えて延ばすことはできない。

#### 【0015】

更に、図13に示したように、セルAのピッチを短縮しても、電極パッド152のボンディング電極領域150の幅は、ボンディングを確実に言い得る程度を確保すべき必要から、セルAの幅よりも広い幅に設定され、これにより、電極パッド152のボンディング電極領域150は、自己のセルAを越えて、隣接するセルAの内方に入り込むことになる。この場合、隣接するセルAには、電極パッドへの接続配線160が配置されているため、この接続配線160の上方に、前記自己のセルAの内方に入り込んだ隣接するセルAの電極パッド152のボンディング電極領域150が位置してしまうと、自己のセルAの接続配線160と、この隣接するセルAの電極パッド152とが接続孔を介して誤って接続されてしまう欠点が生じる。

#### 【0016】

本発明は斯かる点に鑑みてなされたものであり、その目的は、半導体チップの外周囲に配置される入出力回路部の面積を低減すると共に、ESD保護トランジスタの破壊を招くことなく静電気放電から有効に内部回路を保護したり、セルの上方に如何なる形状の電極パッドが配置されても、常に、自己のセルと自己の電極パッドとを良好に接続できるようにすることにある。

#### 【0017】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明では、1つの入出力セルにおいて、備えるESD保護トランジスタの接続配線の上方には必ず電極パッドが位置するように構成したり、最上位層に配置される電極パッドへの接続配線の位置を特定して、セル幅よりも広い電極パッドが隣接するセルの内方に延びる場合であっても、この延びた電極パッドの下方に自己のセルの接続配線が位置しないように対策する。

#### 【0018】

すなわち、請求項1記載の半導体装置は、基板に形成された出力トランジスタと、静電気放電に対して内部回路を保護する複数個の保護用トランジスタを有す

る保護回路とを備えたセルが複数個並んで配置された半導体装置において、前記各セルは、自己の出力トランジスタの出力を外部出力し且つ自己の保護回路の複数個の保護用トランジスタに接続される電極パッドを有し、前記複数個のセルの電極パッドは、各々自己のセルの上方に位置し、且つ、全体として千鳥状に配置されると共に、自己のセルの保護回路が有する保護用トランジスタの接続配線の上方を覆っていることを特徴とする。

#### 【0019】

請求項2記載の発明は、前記請求項1記載の半導体装置において、前記各セルの電極パッドは、各々、幅の異なる3つ以上の複数のパッド部が順番に接続されて、突出部と窪み部とを有する段差状に形成されていることを特徴とする。

#### 【0020】

請求項3記載の発明は、前記請求項2記載の半導体装置において、前記各セルの電極パッドは、各々、幅の最も広い第1パッド部と、次に幅の広い第2パッド部と、幅の最も狭い第3パッド部とを有することを特徴とする。

#### 【0021】

請求項4記載の発明は、前記請求項2又は3記載の半導体装置において、複数のパッド部のうち、幅の最も狭いパッド部は、自己の保護回路が有する全ての保護用トランジスタのうち、端部に位置する保護用トランジスタの少なくとも中央部の上方を覆っていることを特徴とする。

#### 【0022】

請求項5記載の発明は、前記請求項1、2、3又は4記載の半導体装置において、複数のパッド部のうち、幅の最も広いパッド部は、自己のセルの幅よりも広い幅を有して、隣接するセルの内方に所定距離延びていることを特徴とする。

#### 【0023】

請求項6記載の発明は、前記請求項5記載の半導体装置において、前記各セルは、自己の出力トランジスタの出力を外部出力する電極パッドに接続するために最上位層に配置された配線を有し、前記配線は、自己のセルの端部から、前記所定距離を越える距離内方に入った位置に配置されていることを特徴とする。

#### 【0024】

請求項 7 記載の発明は、前記請求項 1、2、3、4 又は 5 記載の半導体装置において、複数のセルのうち、1つのセルの電極パッドと、このセルに隣接する他のセルの電極パッドとは、相互に、上下を反転して配置されることを特徴とする。

#### 【0025】

請求項 8 記載の発明は、前記請求項 7 記載の半導体装置において、前記隣接する 2つのセルが有する 2つの電極パッドのうち、一方の電極パッドの突出部は、他方の電極パッドの窪み部に入り込んでいることを特徴とする。

#### 【0026】

請求項 9 記載の発明は、前記請求項 2 又は 3 記載の半導体装置において、複数のセルのうち、1つのセルの電極パッドは、最も幅の狭いパッド部又は最も幅の広いパッド部が前記内部回路の内方に向かって延びていることを特徴とする。

#### 【0027】

請求項 10 記載の発明は、前記請求項 8 記載の半導体装置において、前記電極パッドは、前記内部回路に所定電圧を供給するための電源端子パッドであることを特徴とする。

#### 【0028】

請求項 11 記載の発明は、前記請求項 2 又は 3 記載の半導体装置において、前記複数のパッド部のうち、最も幅の広いパッド部には、前記出力トランジスタの出力を外部出力するための外部接続用ワイヤがボンディングされることを特徴とする。

#### 【0029】

請求項 12 記載の発明は、前記請求項 2 又は 3 記載の半導体装置において、前記複数のパッド部のうち、最も幅の広いパッド部以外の所定のパッド部には、前記内部回路のテスト用として、検査用のプローブピンが当てられることを特徴とする。

#### 【0030】

請求項 13 記載の発明の半導体装置は、基板に形成された出力トランジスタを備えたセルが複数個並んで配置された半導体装置において、前記各セルは、自己

の出力トランジスタの出力を外部出力する電極パッドに接続するために最上位層に配置された配線を有し、前記配線は、自己のセルの幅方向の端部から設定距離内方に入った位置に配置されていることを特徴とする。

#### 【0031】

請求項14記載の発明は、前記請求項13記載の半導体装置において、前記各セルの上方に配置される電極パッドは、自己のセルの幅よりも広い幅のパッド部を有し、前記配線の配置位置とこの配線が属する自己のセルの幅方向の端部との距離である前記設定距離は、前記パッド部が自己のセルの幅を超えて隣りに位置するセルの内方に延びる距離よりも長い距離に設定されていることを特徴とする。

#### 【0032】

以上により、請求項1～12記載の発明では、外部との信号入出力用の電極パッドが自己のセルの上方に位置していて、POE構造となっているので、入出力回路部の面積が効果的に低減される。しかも、各セルの電極パッドは、相互に、千鳥状の配置となっているので、セルのピッチが短縮されても、隣接する電極パッド間の離隔を比較的長く設定することができ、電極パッド間の離隔ルールを守ることができる。しかも、セルが有する保護トランジスタを電極パッドに接続するための接続配線の上方には、必ず、電極パッドが位置していて、電極パッドと各保護トランジスタとの間のインピーダンスが各保護トランジスタ相互間ではほぼ等しい。従って、電極パッドに侵入した静電気放電の高電圧は各保護トランジスタに均一に印加されて、各保護トランジスタの動作が均一になるので、各保護トランジスタの破壊を招くことなく、内部回路を静電気放電から有効に保護することができる。

#### 【0033】

また、請求項2～4記載の発明では、電極パッドが少なくとも3つ以上の幅の異なるパッドを順次接続して成り、突出部と窪み部とを有する段差状であるので、隣接する電極パッド同士を上下反転させて隣接させる場合に、自己の電極パッドの突出部を隣接する電極パッドの窪み部に入り込ませたときであっても、自己の電極パッドの最も幅の狭い部分は、隣接する電極パッドに邪魔されずに、更に



前方へ延ばすことができる。従って、自己のセルが有する保護トランジスタの接続配線の上方には、必ず、電極パッドを位置させることが可能である。

#### 【0 0 3 4】

更に、請求項 7 記載の発明では、隣接する電極パッド同士を上下反転させて隣接配置させるので、1 つの電極パッドを持つパッドセルを共通化できる。

#### 【0 0 3 5】

加えて、請求項 9 及び 1 0 記載の発明では、電極パッドのうち最も幅の狭いパッド部が内部回路の内方にまで延びているので、この電極パッドを電源パッドとして使用する場合には、電源電圧を供給する際の電圧降下を有効に少なくして、良好な電源供給が可能である。

#### 【0 0 3 6】

また、請求項 1 3 及び 1 4 記載の発明では、自己のセルにおいて、電極パッドに接続される最上位層に配置された配線が、自己のセルの端部から設定距離内方に入った位置に配置されているので、たとえ隣接するセルの電極パッドの幅が広くて、自己のセルの内方に延びて来た場合であっても、この延びて来た電極パッドの部分が、自己のセルの電極パッドに接続される配線の上方に位置することを防止できる。従って、電極パッドとして、セルの幅未満の幅を持つものや、セルの幅を超える幅を持つものなど、種々の電極パッドに対応できる 1 種類の入出力セルを提供でき、入出力セルのライブラリ開発の効率化が図られる。

#### 【0 0 3 7】

##### 【発明の実施の形態】

以下、本発明の実施の形態の半導体装置を図面に基づいて説明する。

#### 【0 0 3 8】

##### （第 1 の実施の形態）

図 1 は、本発明の第 1 の実施の形態の半導体装置の具体的構成を示す。

#### 【0 0 3 9】

同図は、半導体チップの外周囲に配置される入出力回路部の要部構成を示しており、複数個（同図では 3 個）の入出力セル I O C が並んで配置される。図 2 （a）及び（b）は前記 3 個の入出力セル I O C の各上方に電極パッドセル P a d

が配置された構成を示している。

#### 【0040】

まず、前記各入出力セル I O C の構成を示す。図 3 (a) は図 1 の a - a 線断面図を、同図 (b) は図 1 の b - b 線断面図を示す。これ等の図において、2 は P 型の半導体基板、3 及び 4 は、各々、前記半導体基板 2 上に形成された P 型ウエル及び N 型ウエル、N 1 は前記 P 型ウエル 3 上で 4 つに分割して形成された N 型 MOS トランジスタ、P 1 は前記 N 型ウエル 4 上で 4 つに分割して形成された P 型 MOS トランジスタである。前記 N 型 MOS トランジスタ N 1 と P 型 MOS トランジスタ P 1 とは、素子分離領域 5 によって相互に素子分離されている。また、6 及び 7 は、各々、N 型 MOS トランジスタ N 1 のドレイン及びソースを構成する N 型拡散領域、8 及び 9 は、各々、P 型 MOS トランジスタ P 1 のドレイン及びソースを構成する P 型拡散領域である。前記 4 つずつの N 型 MOS トランジスタ N 1 及び P 型 MOS トランジスタ P 1 が直線状に配置され、これらより 4 組の出力トランジスタ O T が形成される。この 4 組の出力トランジスタ O T は、更に、2 列備えられている。

#### 【0041】

また、V S S は第 2 配線層に配置された接地電位の接地配線、V D D は第 2 配線層に配置された所定電位の電源配線である。前記接地配線 V S S は、接続孔 10、第 1 配線層に設けられた孤立配線領域 11 及び接続孔 12 を介して N 型 MOS トランジスタ N 1 のソースである N 型拡散領域 7 に接続されている。同様に、電源配線 V D D は、接続孔 13、第 1 配線層に設けられた孤立配線領域 14 及び接続孔 15 を介して P 型 MOS トランジスタ P 1 のソースである P 型拡散領域 9 に接続されている。

#### 【0042】

更に、16 は金属配線（例えば銅）より成る接続配線（配線）であって、最上位層（第 3 配線層）に配線されている。この接続配線 16 は、その上方に配置された前記電極パッドセル P a d と接続される。また、この接続配線 16 は、図 1 に示したように、全ての出力トランジスタ O T の上方に位置するように U 字形状に形成されている。この接続配線 16 は、前記出力トランジスタ O T を構成する

P型MOSトランジスタP1のドレイン（P型拡散領域8）に、接続孔18、第2配線層に設けた孤立配線領域20、接続孔22、第1配線層に設けた孤立配線領域24、及び接続孔26より成るスタックド・ビア構造を介して接続されると共に、N型MOSトランジスタN1のドレイン（N型拡散領域6）に、接続孔19、第2配線層に設けた孤立配線領域21、接続孔23、第1配線層に設けた孤立配線領域25、及び接続孔27より成るスタックド・ビア構造を介して接続されていて、P型及びN型のMOSトランジスタP1、N1のドレイン（P型拡散領域8及びN型拡散領域6）を電極パッドセルPadに共通接続する。

#### 【0043】

前記各組の出力トランジスタOTは、前記共通接続された電源パッドセルPadを介して内部回路の信号を外部に出力する一方、外部からの信号を内部回路に inputsする。更に、これ等の出力トランジスタOTは、同一構成であるESD保護トランジスタ（保護トランジスタ）を兼用している。以下、この出力トランジスタOTをESD保護トランジスタという。これらのESD保護トランジスタOTは、前記電極パッドセルPadから侵入する静電気放電の正又は負の高電圧を、P型MOSトランジスタP1から電源配線VDDに、又はN型MOSトランジスタN1から接地配線VSSに放電して、内部回路（図示せず）を静電気放電から保護するものであって、静電気放電に対する保護回路55を構成する。

#### 【0044】

次に、前記電極パッドセルPadの具体的な構成を説明する。各入出力セルIOCの上方に位置する電極パッドセルPadは、同一構成である。この電極パッドセルPadは、図2（a）に示すように、自己の入出力セルIOCの最上位配線層（第3配線層）に形成される電極パッド50と、同図（b）に示すように、その更に上層の金属（例えばアルミニウム）配線層に配置される電極パッド51とを有する2層の電極パッド構造を持つ。この両電極パッド50、51は、接続孔（図2では図示せず）により接続される。

#### 【0045】

前記電極パッドセルPadにおいて、2層のうち下側に位置する電極パッド50は、その配置された層、すなわち、入出力セルIOCの最上位層である第3層

に形成された前記U字状の接続配線16を取り込んでいて、自己の入出力セルI O Cの保護回路55の上方を覆っている。上側の電極パッド51は、前記下側の電極パッド50と同一形状である。更に、各電極パッドセルP a dは、その相互間の離隔ルールを守るように、全体として千鳥状に配置されている。尚、図2（a）及び（b）において、53は、半導体チップを切り出す際に切り取り領域となるスクライブ領域である。

#### 【0046】

次に、電極パッドセルP a dの具体的な構成を説明する。この電極パッドセルP a dを構成する2層の電極パッド50、51は、同一形状であるので、以下、下側の電極パッド50を例に挙げて説明する。この電極パッド50は、幅の異なる3つのパッド部50a、50b、50cから成る。最も幅の広い第1パッド部50aに次に幅の広い第2パッド部50bが接続され、この第2パッド部50bに第3パッド部50cが接続されている。前記第1パッド部50aは、ボンディング電極領域であって、出力トランジスタO Tの入出力を外部へ又は外部から入出力するための外部接続用ワイヤ（図示せず）のボンディングが確実にに行い得る程度の広さを有する。また、第2パッド部50bは、テストツールのプローブピンが接触する検査用電極領域であって、所定の小面積を有し、その幅は自己の入出力セルI O Cの幅とほぼ等しい。更に、第3パッド部50cは、図2（a）から判るように、前記検査用の第2パッド部50bが前記U字状の接続配線16の両端部16aの上方を覆わない範囲、すなわち、保護回路55を構成する複数のE S D保護トランジスタO Tのうち、図3（c）に示すような端部に位置する1又は数個のE S D保護トランジスタO Tの中央部上方を覆っている。

#### 【0047】

前記電極パッド50は、幅の異なる第1及び第2のパッド部50a、50bとの係に伴い、この係部において、第1パッド50a側に所定幅の突出部x1を有し、第2パッド50b側に窪み部y1を有する。同様に、第2及び第3のパッド部50b、50cとの係部において、第2パッド50b側には、前記突出部x1とほぼ同一幅の突出部x2が、第3パッド50c側には窪み部y2が形成される。

**【0048】**

前記各入出力セル I O C は、狭い幅に形成されていて、隣接する入出力セル I O C との間隔に隙き間がないように配置され、狭ピッチ化されている。一方、電源パッド 50 の第 1 パッド部 50 a は、ボンディングが確実に言い得る程度の幅に形成され、自己の入出力セル I O C の幅よりも広い幅を有する。従って、自己の電源パッド 50 の第 1 パッド部 50 a は、隣接する入出力セル I O C の幅方向に延びてその内方に所定距離、即ち、前記突出部 x 1 の幅だけ延びている。

**【0049】**

そして、隣接する 2 個の電極パッド 50 同士は、相互に上下反転して配置される。更に、この上下反転の状態において、一方の電極パッド 50 の第 1 パッド部 50 a の突出部 x 1 が他方の電極パッド 50 の第 3 パッド部 50 c の窪み部 y 2 に入り込むと共に、一方の電極パッド 50 の第 2 パッド部 50 b の突出部 x 2 が他方の電極パッド 50 の第 2 パッド部 50 b の窪み部 y 1 に入り込む形になっている。

**【0050】**

次に、入出力セル I O C の最上位層に配置されて前記電極パッド 50 と接続される U 字形状の接続配線 16 の配置位置について、説明する。

**【0051】**

図 1 において円 L で囲んだ部分の拡大図を図 4 (a) に示す。同図において、接続配線 16 は、その端部が、自己の入出力セル I O C の端部から設定距離 D だけ内方に入った位置になるように配置されている。この設定距離 D は、図 4 (b) に示すように、隣接する入出力セル I O C の電極パッド 50 の第 1 パッド部 50 a が自己の入出力セル I O C の内方に延びる距離、即ち、突出部 x 1 の幅にほぼ等しい距離を越える長い距離である。

**【0052】**

本実施の形態では、各入出力セル I O C において、電極パッド 50 が保護回路 55 の上方に配置されているので、電極パッドを保護回路 55 と並べて配置する場合に比して、配置面積を効果的に削減することができる。しかも、各入出力セル I O C の電極パッド 50 が千鳥状に配置されているので、各入出力セル I O C

の幅を狭くして狭ピッチ化を図った場合にも、電極パッド50同士の離隔ルールを守ることができる。

#### 【0053】

また、図1及び図2(a)から判るように、各入出力セルI/OCにおいて、保護回路55を構成するESD保護トランジスタOTの接続配線16の上方には、電極パッド50が位置しており、特に、端部に位置する1又は数個のESD保護トランジスタOTの上方には、その中央部上方において、幅の最も狭い第3パッド部50cが位置している。従って、図3(c)から判るように、全てのESD保護トランジスタOTを構成するP型及びN型のMOSトランジスタP1、N1のドレイン((P型拡散領域8及びN型拡散領域6))は、各々、接続孔18、19等を備えたスタックド・ビア構造を介して、その直上方に位置する電極パッド50に接続されると共に、この電極パッド50は更にその上方の電極パッド51に接続されるので、電極パッドセルPadと各ESD保護トランジスタOTとの間の接続インピーダンスは均一である。従って、電極パッドセルPadに静電気放電の高電位が印加された場合には、各ESD保護トランジスタOTにかかる高電位は相互にほぼ同電圧となって、その何れかには集中せず、その結果、何れかのESD保護トランジスタOTの破壊を招くことなく、静電気放電の正又は負の高電圧は各ESD保護トランジスタOTを介して電源配線VDD又は接地配線VSSに逃がされて、内部回路が有効に静電気放電から保護されることになる。

#### 【0054】

特に、図2(a)に示したように、自己の入出力セルI/OCの電極パッド50の突出部x1、x2が、隣接する入出力セルI/OCの電極パッド50の窪み部y1、y2に入り込む配置構成では、自己の入出力セルI/OCの電極パッド50の第2パッド部50bが、隣接する入出力セルI/OCの電極パッド50の第1パッド部50aに邪魔されるため、第2パッド部50bをその同一の幅のまま前方に延ばすことはできない。しかし、本実施の形態では、第2パッド部50bよりも幅の狭い第3パッド部50cが第2パッド部50bに接続されて、第2パッド部50bの前方に位置しているので、この第2パッド部50cにより、端部に位置するESD保護トランジスタOTの上方を覆って、このESD保護トランジスタ

OTと電極パッド50との接続インピーダンスを下げる事が可能である。

#### 【0055】

更に、各入出力セルIOCの電極パッドセルPadは、相互に上下反転して使用されるので、2種類の電極パッドセルを作成する必要がなく、全ての入出力セルIOCで電極パッドセルを共用化することができる。

#### 【0056】

加えて、入出力セルIOCを狭ピッチ化するようにそのセル幅を狭く設定した場合においても、電極パッド50のボンディング電極領域である第1パッド部50aの幅は、入出力セルIOCの幅よりも広くする必要がある。図5(a)及び(b)は、それぞれ図1の入力セルのf-f線断面図及び図2(b)の入出力セルのg-g線断面図である。この場合、図5(a)及び(b)に示すように、自己の入出力セルIOCの電極パッド50の第1パッド部50aは、最上位層(第3層)において、隣接する入出力セルIOCの幅方向内方に延び、その突出部x1の幅だけ、隣接する入出力セルIOCの内方に入り込む形となるが、この隣接する入出力セルIOCでは、自己の入出力セルIOCの電極パッド50に接続するための接続配線16の配置位置が、前記最上位層(第3層)において、前記突出部x1の幅に等しい距離を超える長い距離だけ自己の入出力セルIOCの内方に入り込んだ位置に設定されている。従って、幅の広い電極パッド50が使用された場合に、隣接する入出力セルIOCの幅方向内方にこの電極パッド50の第1パッド部50aが入り込んでも、この入り込んだ第1パッド部50aが自己の入出力セルIOCの接続配線16を取り込むことはない。よって、電極パッドとして、入出力セルIOCの幅よりも広い第1パッド部50aを有する電極パッド50を使用する場合や、入出力セルIOCの幅以下の幅を持つ電極パッドを使用する場合など、種々の形状の電極パッドを使用する場合や、又は、電源パッドの配置位置を入出力セルIOCの側方に配置するインライン配置とする場合や、本実施の形態のように入出力セルIOCの上方に電極パッドセルPadを千鳥状に配置する場合等であっても、入出力セルIOCは1種類で良く、入出力セルIOCのライブラリの開発の効率化を図ることができる。

#### 【0057】

## (第2の実施の形態)

次に、本発明の第2の実施の形態を図6に基づいて説明する。

### 【0058】

本実施の形態は、電極パッドセルを電源端子セルとして使用する場合である。

図6(a)において、入出力セルI O C'は、最上位層に設けたU字形状の接続配線16'の両端部が、半導体チップに備える内部回路(図示せず、同図では上方に位置する)に向かって大きく延びる構成を有する。

### 【0059】

また、図6(b)において、電極パッドセルP a d'では、前記接続配線16'を取り込む下側の電極パッド(電源端子パッド)50'の最小幅の第3パッド部50c'、又は最大幅の第1パッド部50a'が前記内部回路に向かって延びる構成を有する。同図(c)に示した上側の電極パッド51'も、下側の電極パッド50'と同一の構成を有して、同様に内部回路に向かって延びる構成を有する。

### 【0060】

従って、本実施の形態では、接続配線16'よりも幅広の電源端子セルの全体が内部回路近傍にまで延びているので、内部回路への電極供給ラインのインピーダンスを効果的に下げて、内部回路への電源供給を良好に行うことができる。

### 【0061】

尚、以上の説明では、電極パッド50、50'は、幅の異なる3つのパッド部50a、50a'、50b、50c、50c'により構成したが、本発明はこれに限定されず、4つ以上の幅の異なるパッド部で電極パッドを構成しても良い。

### 【0062】

#### 【発明の効果】

以上説明したように、請求項1～12記載の発明の半導体装置によれば、電極パッドが自己のセルの上方に位置するP O E構造を採用すると共に、各セルの電極パッドを千鳥状の配置としたので、電極パッド間の離隔ルールを守りつつ、入出力回路部の面積を効果的に低減できる。しかも、セルが有する保護トランジスタの接続配線の上方に電極パッドを位置させたので、電極パッドに侵入した静電



気放電に対して、各保護トランジスタの動作を均一にして、各保護トランジスタの破壊を招くことなく、内部回路を静電気放電から有効に保護することができる。

#### 【0063】

また、請求項 2～4 記載の発明の半導体装置によれば、少なくとも 3 つ以上の幅の異なるパッドを順次接続した段差状の電極パッドとしたので、自己の電極パッドの突出部を隣接する電極パッドの窪み部に入り込ませたときであっても、自己セルの保護トランジスタの接続配線の上方に必ず電極パッドを位置させることが可能である。

#### 【0064】

更に、請求項 7 記載の発明の半導体装置によれば、隣接する電極パッド同士を上下反転させて隣接配置したので、1 つの電極パッドを持つパッドセルを共通化できる。

#### 【0065】

加えて、請求項 9 及び 10 記載の発明の半導体装置によれば、電極パッドのうち最も幅の狭いパッド部を内部回路に向かって延ばしたので、この電極パッドを電源パッドとして使用する場合に、電源電圧を供給する際の電圧降下を有効に少なくでき、良好な電源供給を可能にできる。

#### 【0066】

また、請求項 13 及び 14 記載の発明の半導体装置によれば、電極パッドとして、セルの幅未満の幅を持つものや、セルの幅を超える幅を持つものなど、種々の電極パッドに対応できる 1 種類の入出力セルを提供できるので、入出力セルのライブラリ開発の効率化を図ることが可能である。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 の実施の形態の半導体装置である入出力回路部の一部を構成する入出力セルの構成を示す平面図である。

##### 【図 2】

(a) は同入出力回路部の一部を構成する電極パッドセルを構成する 2 層の電

極パッドのうち、下側の電極パッドの構成を示す平面図、(b)は同電極パッドセルを構成する上側の電極パッドの構成を示す平面図である。

【図 3】

(a)は図1の入出力セルのa-a線断面図、(b)は同入出力セルのb-b線断面図、(c)は図2(a)の入出力セルのc-c線断面図である。

【図 4】

(a)は図1の入出力セルの円Lで囲む部分の拡大図、(b)は同拡大図において上方に電極パッドを配置した平面図である。

【図 5】

(a)は図1の入出力回路部のf-f線断面図、(b)は図2(b)の入出力回路部のg-g線断面図である。

【図 6】

(a)は本発明の第2の実施の形態の半導体装置である入出力回路部の一部を構成する入出力セルの構成を示す平面図、(b)は同入出力回路部の一部を構成する電極パッドセルを構成する下側の電極パッドの構成を示す平面図、(b)は同電極パッドセルを構成する上側の電極パッドの構成を示す平面図である。

【図 7】

入出力回路部の回路構成を示す図である。

【図 8】

同入出力回路部の具体的レイアウト構成を示す図である。

【図 9】

同入出力回路部の1-1線断面図である。

【図 10】

従来の半導体装置の電極パッドの千鳥状の配置を示す図である。

【図 11】

入出力回路部のESD保護トランジスタの上方に段差状の電極パッドを配置した図である。

【図 12】

提案する入出力回路部を示し、(a)は同入出力回路部の一部を構成する入出

力セルを示す平面図、(b)は同入出力セルの上方に電極パッドセルを配置した平面図、(c)は図12(a)のc-c線断面図、(d)は図12(a)のd-d線断面図、(e)は図12(b)のe-e線断面図である。

【図13】

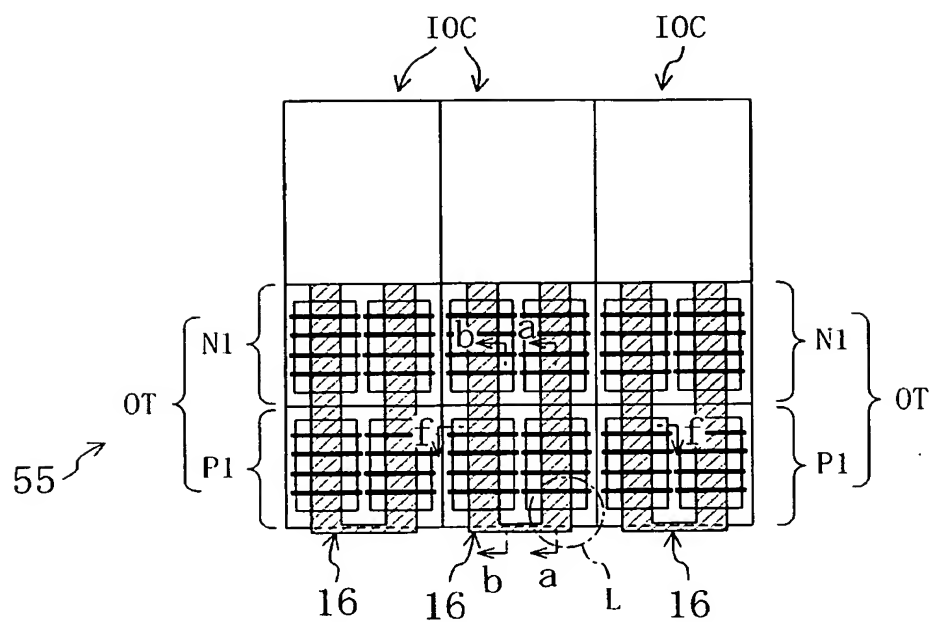
ピッチの幅を短く設定し、隙き間なく配置した入出力セルの上方に段差状の電極パッドを配置した図である。

【符号の説明】

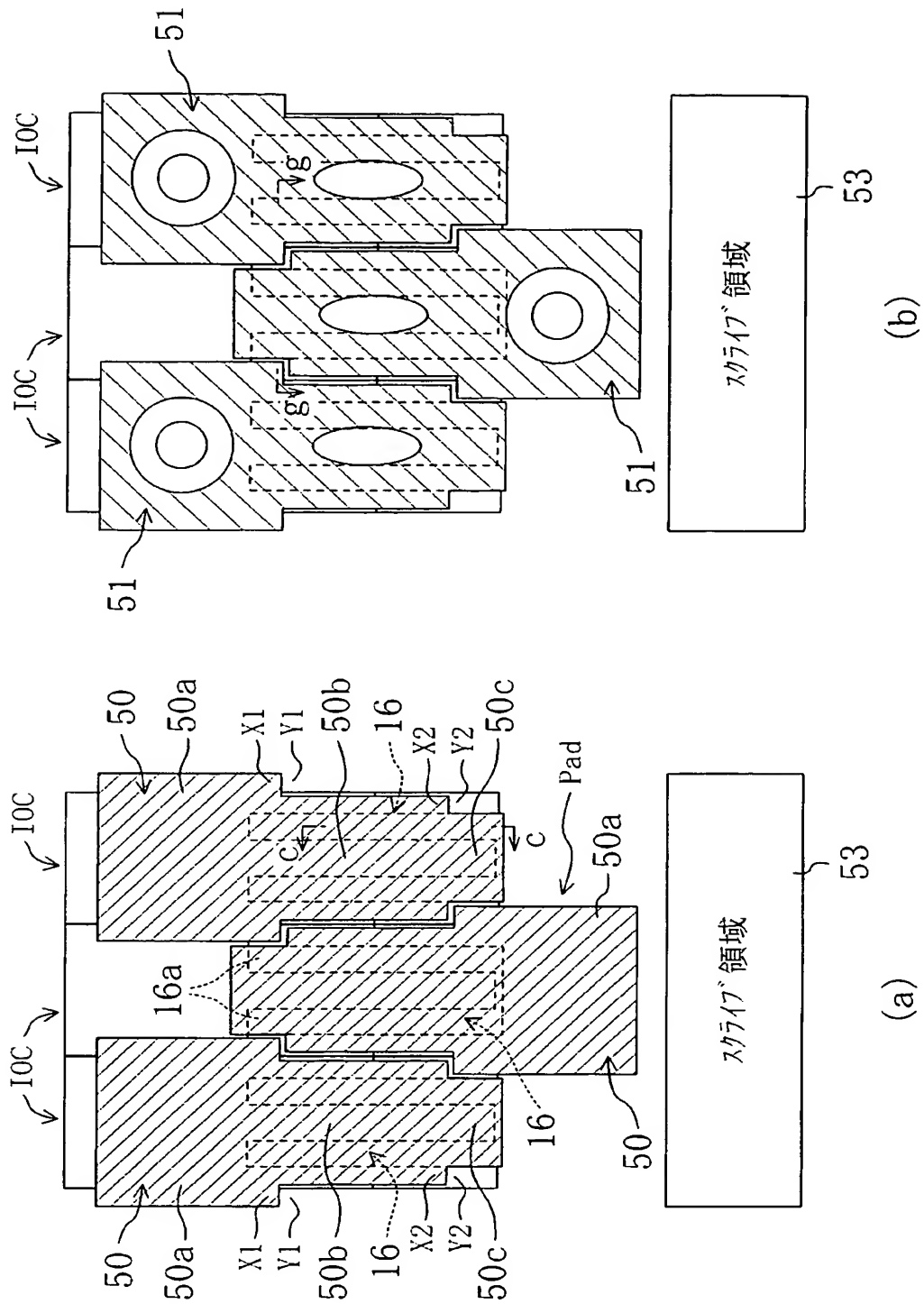
I O C、I O C'	入出力セル
N 1	N型MOS トランジスタ
P 1	P型MOS トランジスタ
O T	出力トランジスタ兼E S D保護トランジスタ (保護トランジスタ)
V D D	電源配線
V S S	接地配線
2	基板
1 6、1 6'	接続配線(配線)
P a d	電極パッドセル
5 0	下側の層の電極パッド
5 0 a、5 0 a'	第1パッド部
5 0 b	第2パッド部
5 0 c、5 0 c'	第3パッド部
x 1、x 2	突出部
y 1、y 2	窪み部
5 0'	電極パッド(電源端子パッド)
5 1、5 1'	上側の層の電極パッド
D	設定距離

【書類名】 図面

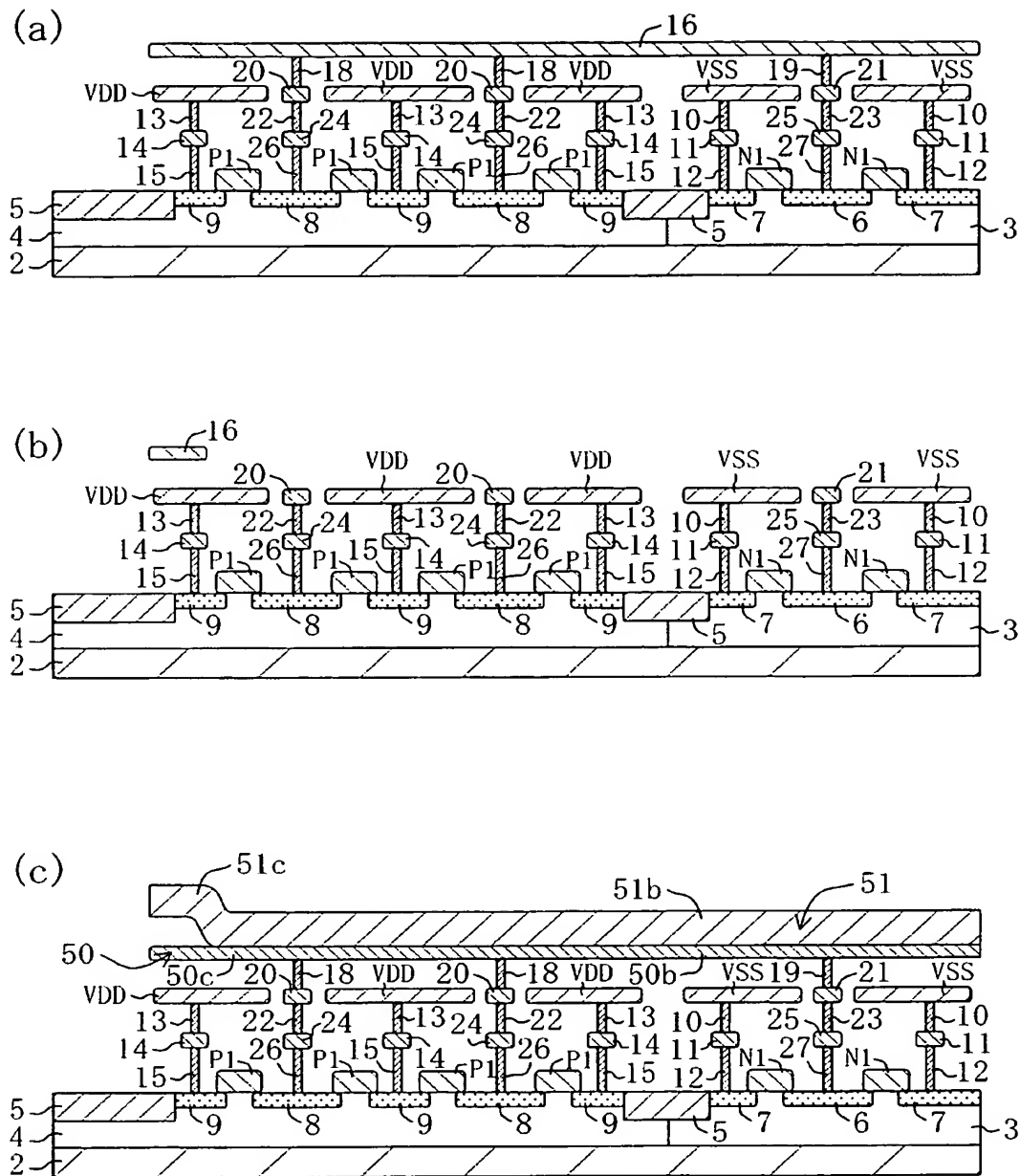
【図 1】



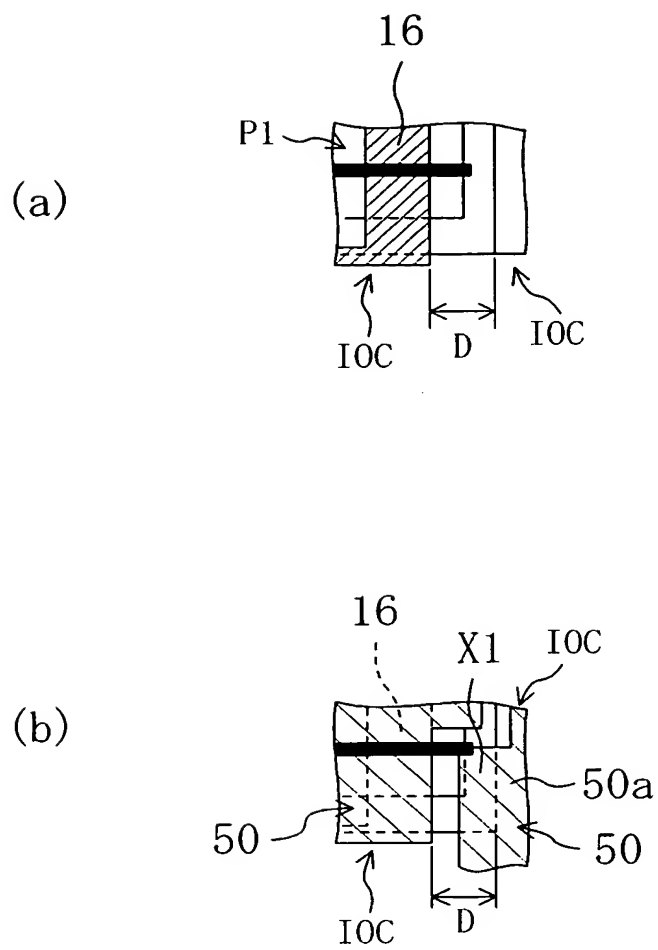
【図 2】



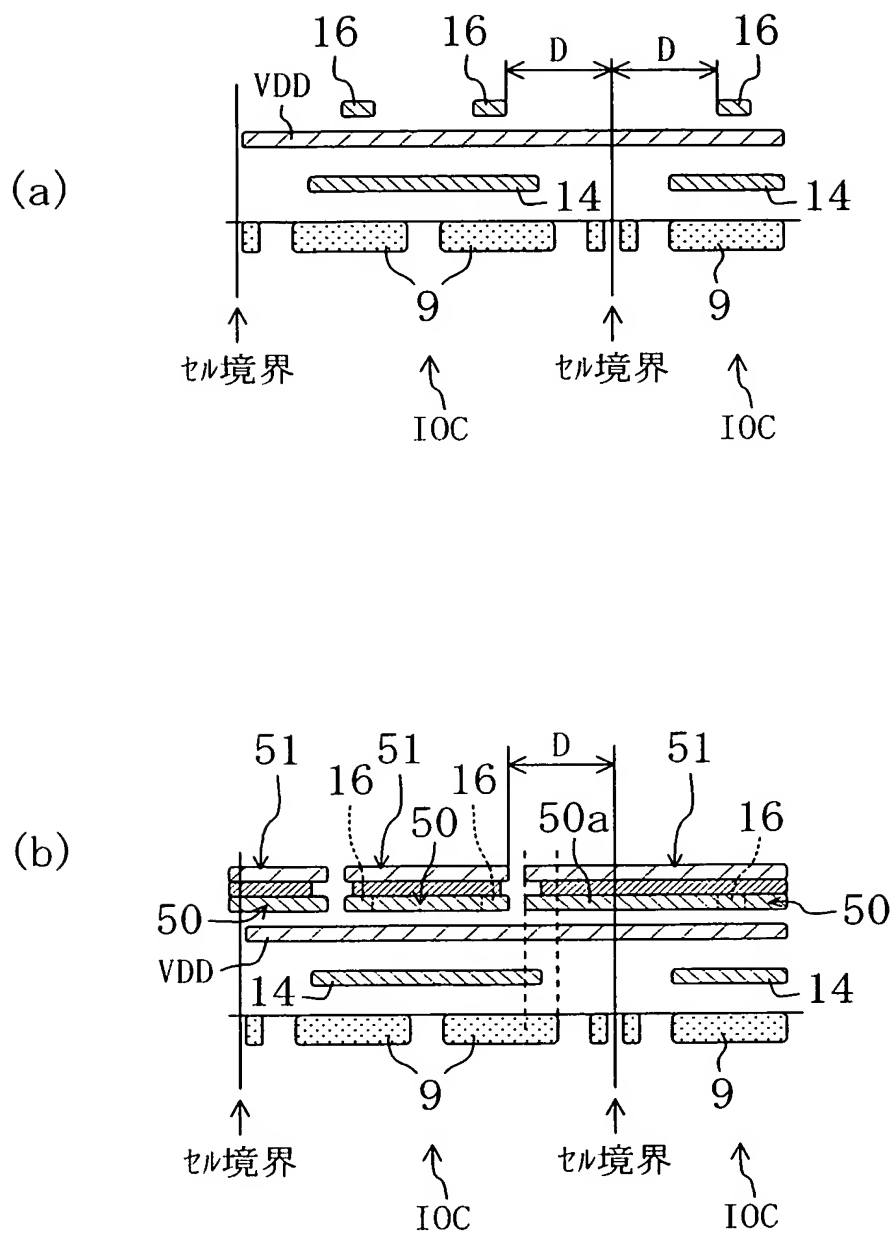
【図 3】



【図 4】

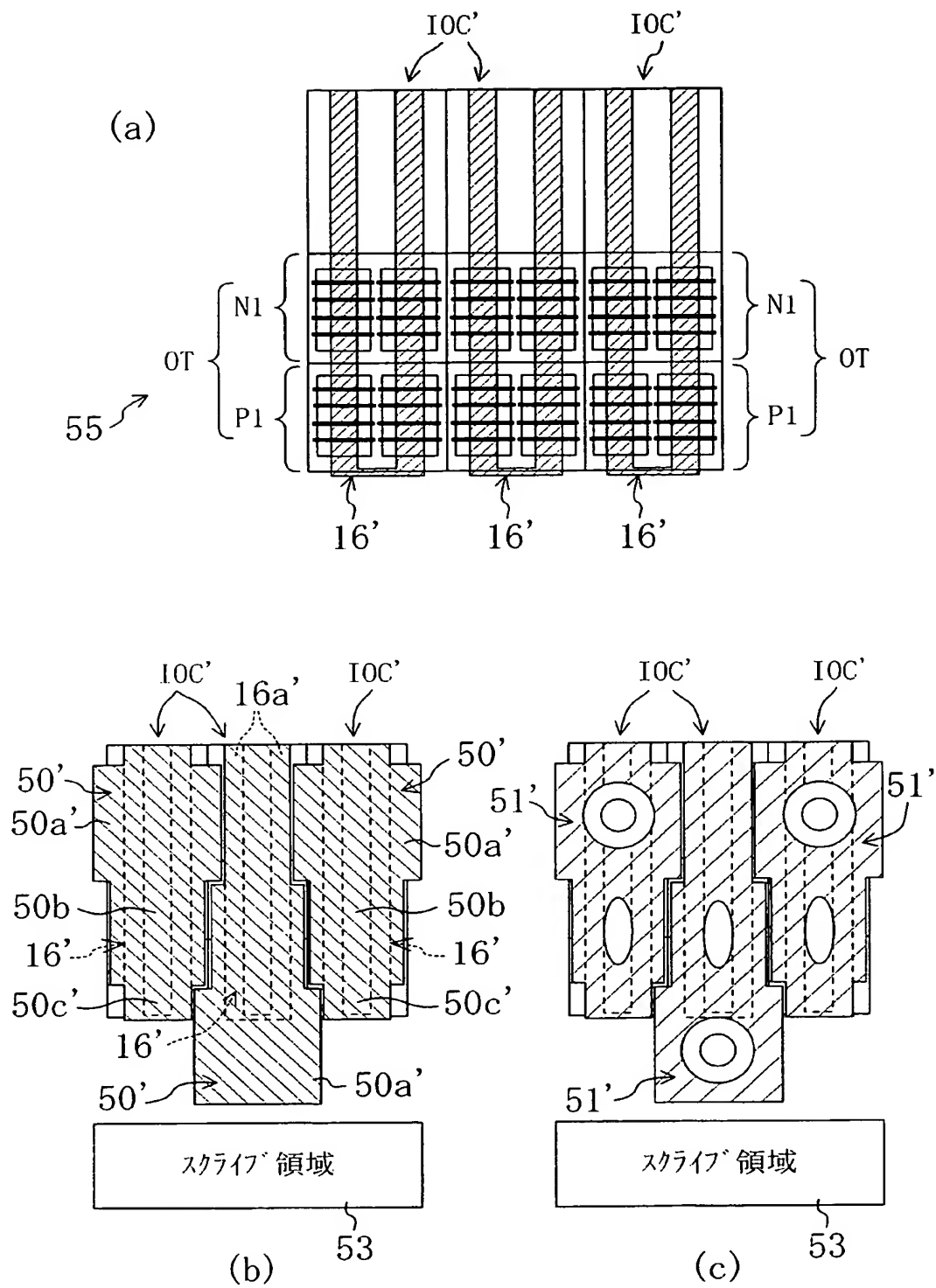


【図 5】

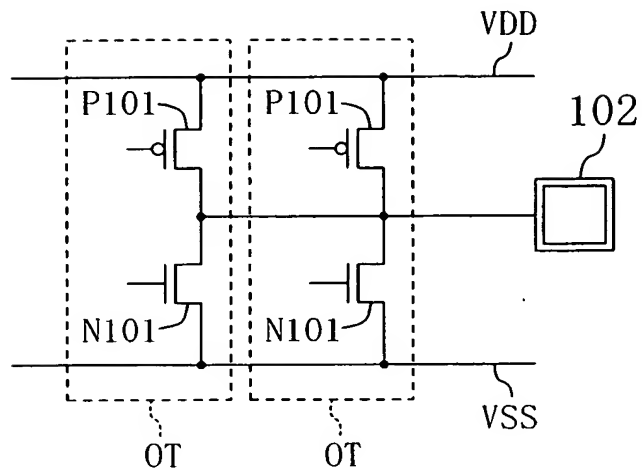




【図 6】

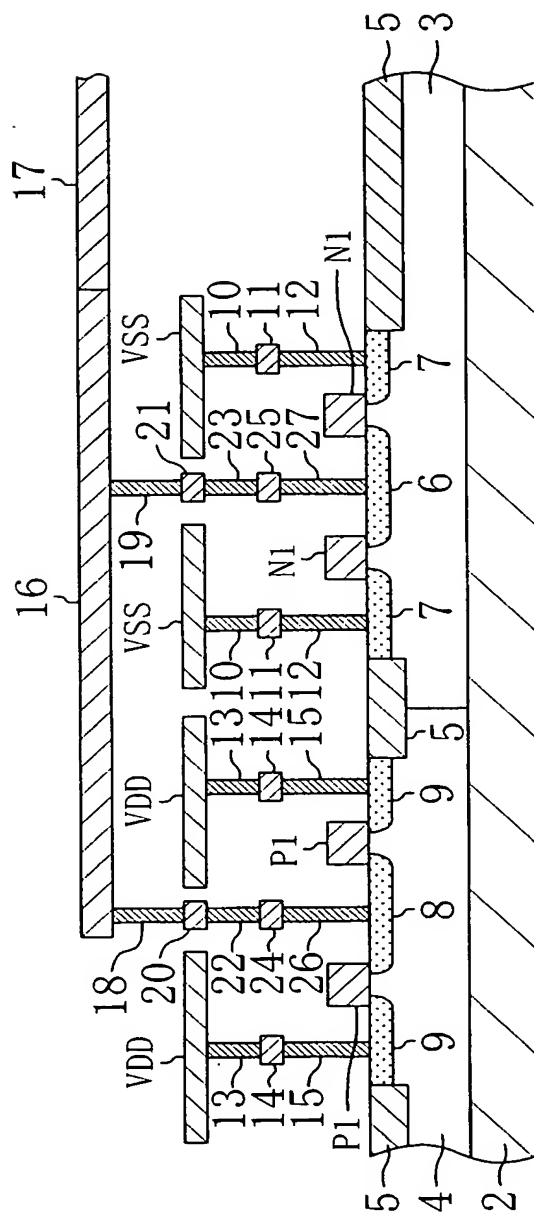


【図 7】

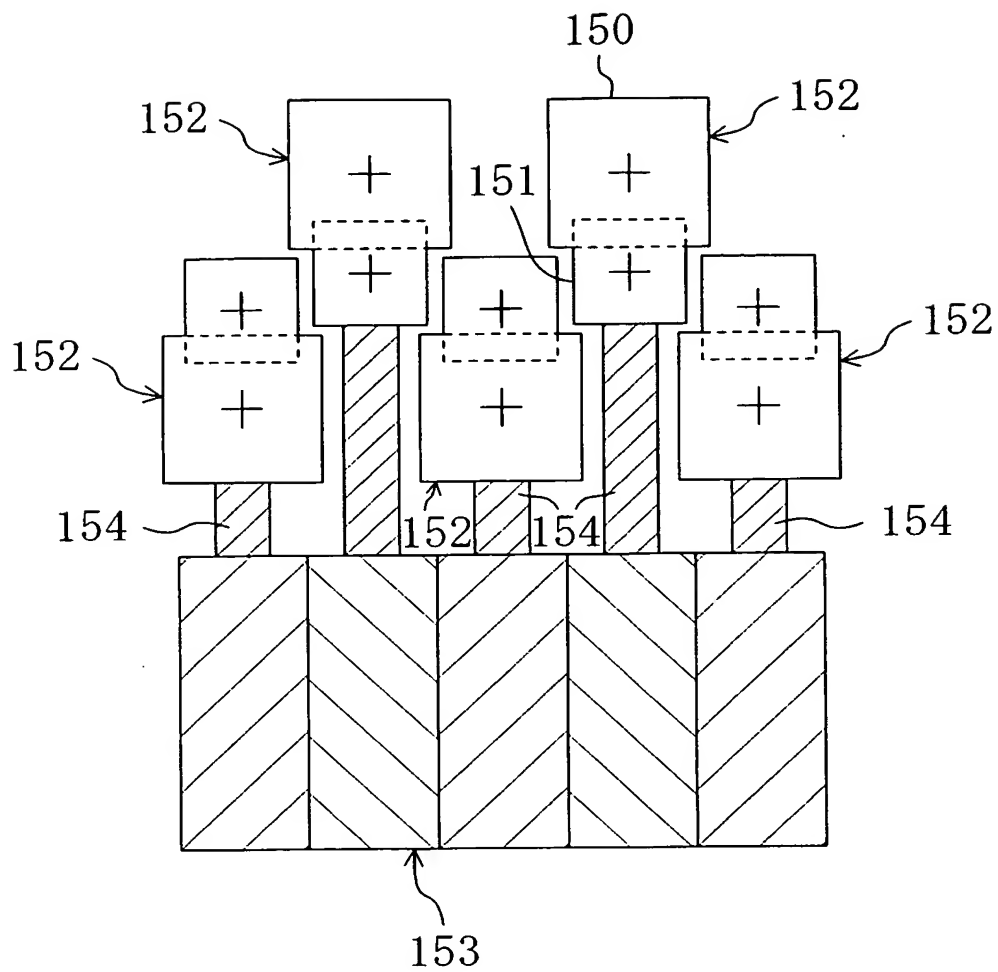




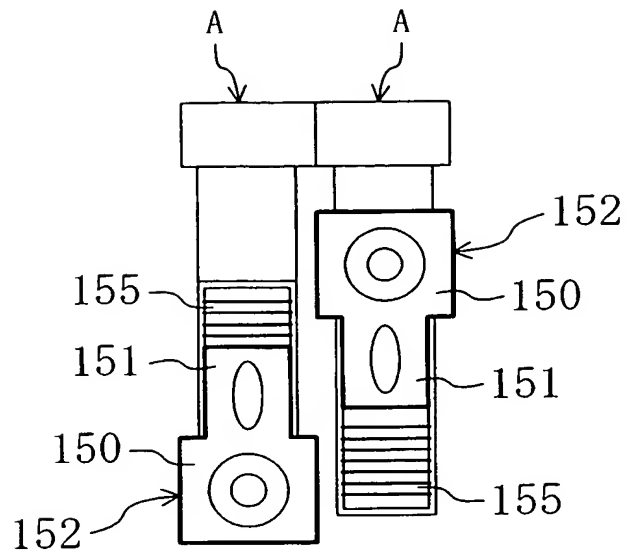
【図 9】



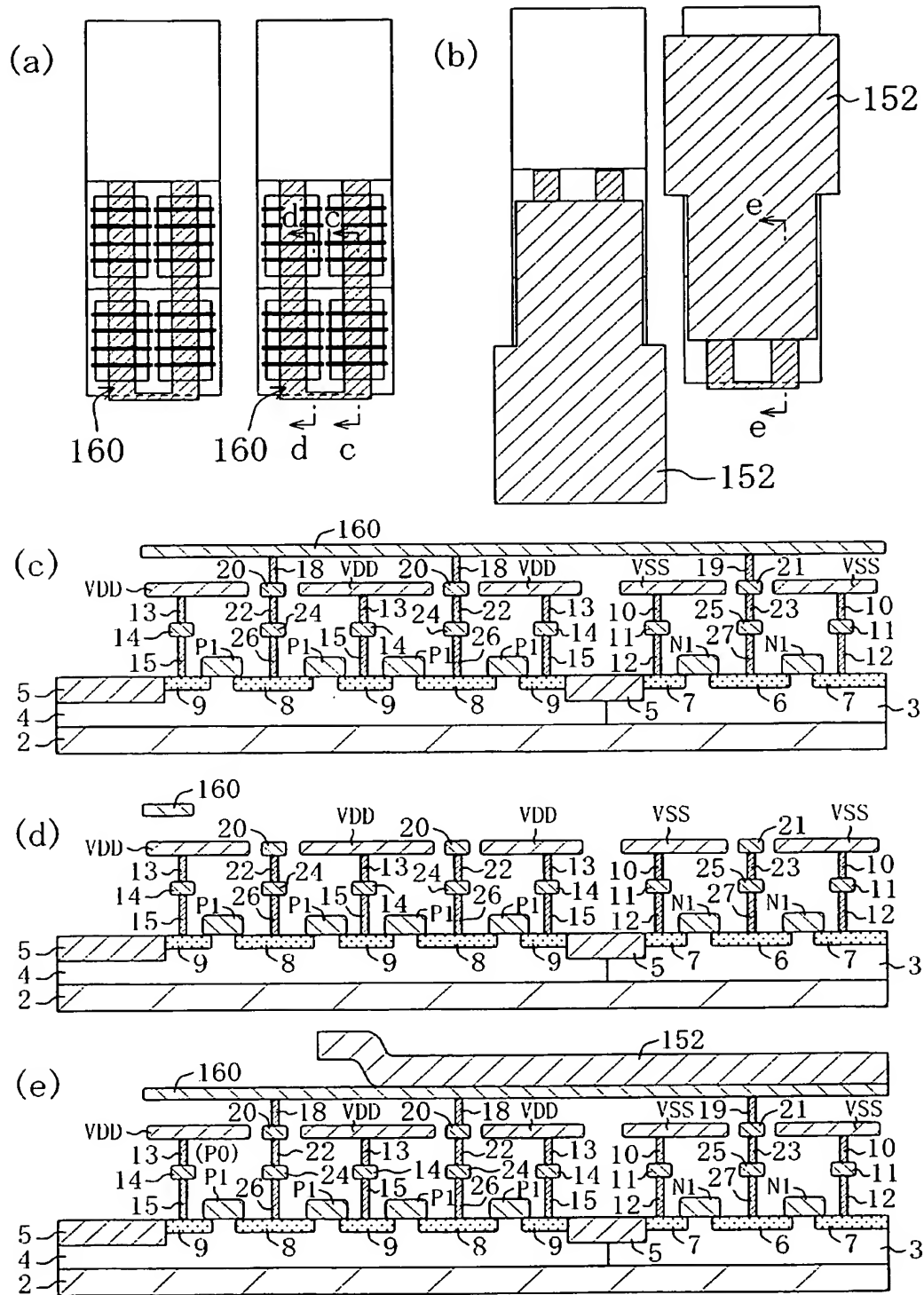
【図 10】



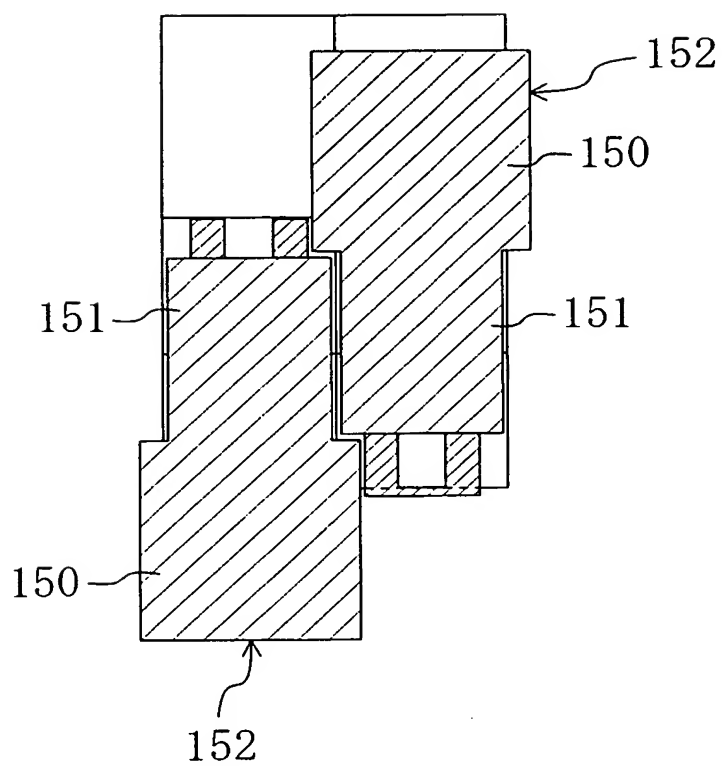
【図 11】



【図 12】



【図 13】





【書類名】 要約書

【要約】

【課題】 半導体チップの周辺に位置する入出力回路部において、E S D保護トランジスタの破壊を招かずに、電極パッドに侵入する静電気放電から内部回路を保護する。

【解決手段】 各入出力セル I O C には、複数個の E S D 保護トランジスタ O T が備えられる。電極パッドセル P a d は、下側の電極パッド 5 0 と上側の電極パッド 5 1 との 2 層構造よりなる。この電極パッドセル P A D は、自己のセル I O C に備えられる E S D 保護トランジスタ O T の接続配線 1 6 の上方を覆うように、配置される。電極パッド 5 0 の第 2 パッド部 5 0 b の端部には、隣接する電極パッド 5 0 の第 1 パッド部 5 0 a が位置して、この第 2 パッド部 5 0 b は前方に延びないが、この第 2 パッド部 5 0 b よりも幅の狭い第 3 パッド部 5 0 c が前方に配置される。

【選択図】 図 2

特願 2 0 0 3 - 0 9 0 6 3 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社